

YMZ280B

8-Channel PCM/ADPCM Decoder (PCMD8)

■ 概 要

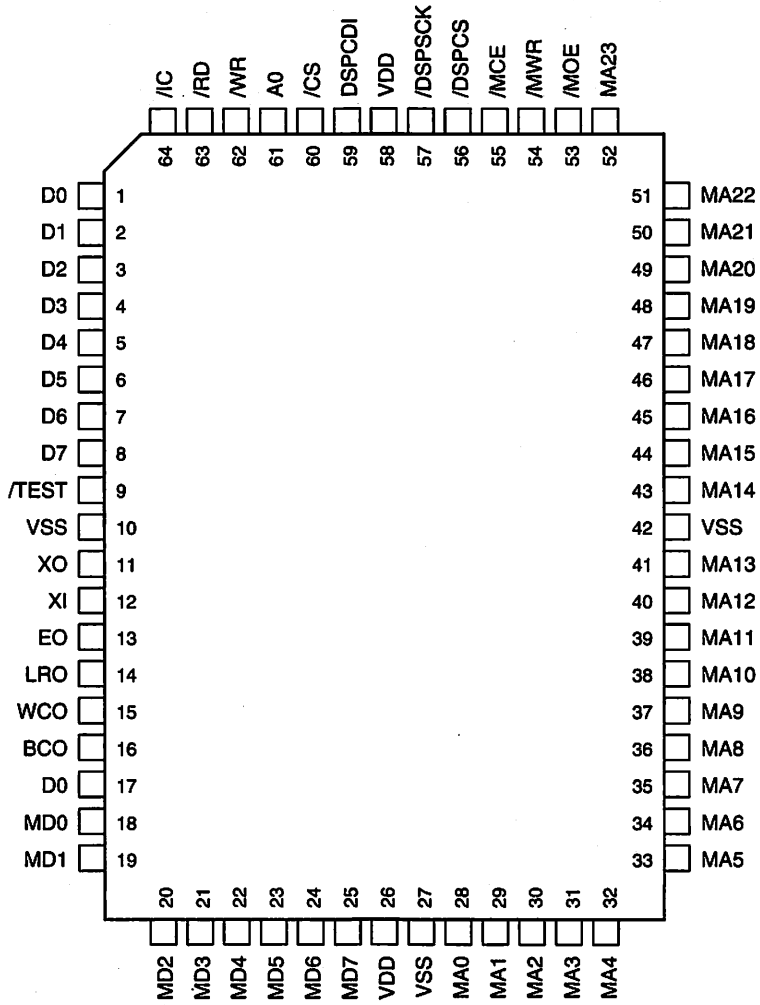
YMZ280Bはゲーム機をはじめとするアミューズメント機器用の8音同時再生可能なPCM、ADPCMデコーダです。

指定されたピッチで外部メモリから読み出された音声データに対して、トータルレベル、パンポットの処理を8音独立に行い、16ビットのステレオデータとしてデジタル出力します。音声データのフォーマットは4ビットADPCM、8ビットPCM、16ビットPCMから選択できますので、用途に応じてさまざまな音質に対応できます。また、外部メモリのアドレス空間は最大16Mバイトであり、連続アクセス可能ですので、大量の音声データを取り扱うこともできます。

■ 特 徴

- 外部メモリーに記憶されている音声データを最大8音同時再生可能。
- 音声データのフォーマットは4ビットADPCM、8ビットPCM、16ビットPCMから選択可能。4ビットADPCMはYMZ263B (MMA)と互換。
- 音声データを記憶する外部メモリーの制御
ROMまたはSRAMを接続可能(×8ビット、アクセスタイム150ns以下)
最大16Mバイトであり、連続アクセス可能
任意アドレス間のループ再生可能
- 音声データの再生周波数の制御
4ビットADPCM0.172~44.1kHz間を256ステップ
8ビットPCM、16ビットPCM.....0.172~88.2kHz間を512ステップ
- 256ステップのトータルレベルと16ステップのパンポットを設定可能。
- 音声信号出力はステレオの16ビット2'sコンプリメントMSBファーストフォーマット。
- YSS225 (EP) などのヤマハ製DSPを接続可能。
- 5V単一、シリコンゲートCMOSプロセス。
- パッケージは64ピンプラスチックQFP。(YMZ280B-F)

■ 端子配置图



< 64pin QFP Top View >

■ 端子機能

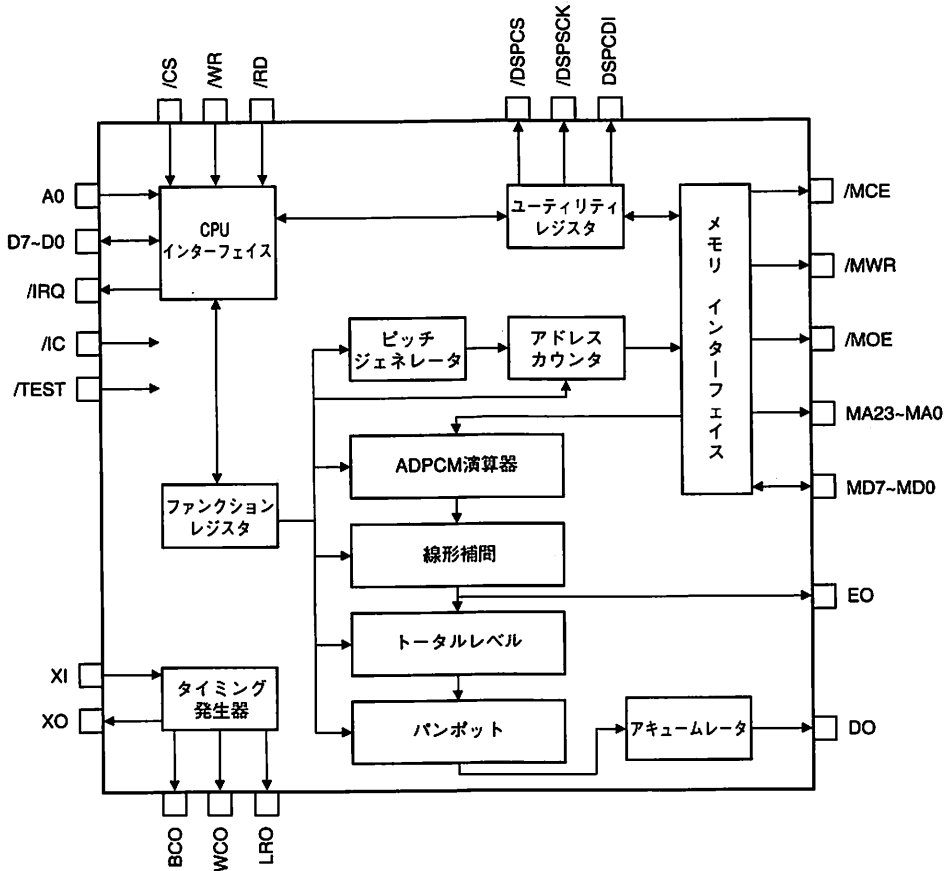
No.	名称	I/O	機能	
1	D0	I/O	CPUインターフェイス	データバス
2	D1	I/O		データバス
3	D2	I/O		データバス
4	D3	I/O		データバス
5	D4	I/O		データバス
6	D5	I/O		データバス
7	D6	I/O		データバス
8	D7	I/O		データバス
9	/TEST	I+	テスト用端子	
10	VSS	—	グラウンド	
11	XO	O	水晶発振子接続端子	
12	XI	I	水晶発振子接続端子またはマスタークロック入力 (16.9344MHz)	
13	EO	O	DSP用音声信号出力	
14	LRO	O	LRクロック出力	
15	WCO	O	ワードクロック出力	
16	BCO	O	ビットクロック出力	
17	DO	O	DAC用音声信号出力	
18	MD0	I/O+	外部メモリ	データバス
19	MD1	I/O+		データバス
20	MD2	I/O+		データバス
21	MD3	I/O+		データバス
22	MD4	I/O+		データバス
23	MD5	I/O+		データバス
24	MD6	I/O+		データバス
25	MD7	I/O+		データバス
26	VDD	—	+5V電源	
27	VSS	—	グラウンド	
28	MA0	O+	外部メモリ	アドレスバス
29	MA1	O+		アドレスバス
30	MA2	O+		アドレスバス
31	MA3	O+		アドレスバス
32	MA4	O+		アドレスバス
33	MA5	O+		アドレスバス
34	MA6	O+		アドレスバス
35	MA7	O+		アドレスバス
36	MA8	O+		アドレスバス
37	MA9	O+		アドレスバス
38	MA10	O+		アドレスバス
39	MA11	O+		アドレスバス
40	MA12	O+		アドレスバス
41	MA13	O+		アドレスバス

No.	名称	I/O	機能	
42	VSS	—	グラウンド	
43	MA14	O+	外部メモリ	アドレスバス
44	MA15	O+		アドレスバス
45	MA16	O+		アドレスバス
46	MA17	O+		アドレスバス
47	MA18	O+		アドレスバス
48	MA19	O+		アドレスバス
49	MA20	O+		アドレスバス
50	MA21	O+		アドレスバス
51	MA22	O+		アドレスバス
52	MA23	O+		アドレスバス
53	/MOE	O+	外部メモリ	コントロール
54	/MWR	O+		コントロール
55	/MCE	O+		コントロール
56	/DSPCS	O	DSPインターフェイス	チップセレクト出力
57	/DSPSCK	O	DSP インターフェイス	クロック出力
58	VDD	—	+5V電源	
59	DSPCDI,	O	DSPインターフェイス	コントロールデータ出力
	/IRQ	O	CPUインターフェイス	割り込み信号出力
60	/CS	I+	CPUインターフェイス	チップセレクト
61	A0	I		アドレスバス
62	/WR	I		ライトイネーブル
63	/RD	I		リードイネーブル
64	/IC	I+	イニシャルクリア	

注) MD7～MD0, MA23～MA0, /MCE, /MOE, /MWR 端子はイニシャルクリア時ハイインピーダンスになります。

+ : プルアップ抵抗内蔵端子。

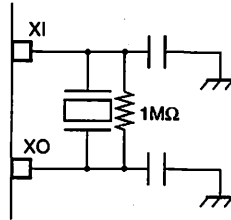
■ ブロック図



■ 機能説明

1. クロック発振 XI, XO

XI端子とXO端子を使用して水晶発振回路を構成します。
発振周波数は16.9344MHzです。



2. イニシャルクリア /IC

/IC端子を 'L' にすることによって内部レジスタ及び回路の初期化を行います。
本LSIは電源投入時にイニシャルクリアが必要です。

3. CPUインターフェイス /CS, /WR, /RD, A0, D7~D0

D0~D7は、CPUとインターフェイスをとるための8ビットの双方向データバスです。データバスのコントロールは /CS, /WR, /RD, A0 の各信号で行います。これらの信号によりデータバスは以下のようなモードになります。

/CS	/WR	/RD	A0	機能
L	L	H	L	アドレスライトモード
L	L	H	H	データライトモード
L	H	L	L	外部メモリリードモード
L	H	L	H	ステータスリードモード
H	x	x	x	インアクティブモード

注) x: don't care

(1) アドレスライトモード

このモードによりレジスタのアドレスまたは外部メモリのアドレスを指定することができます。データバスには指定するアドレスデータを出力して下さい。

(2) データライトモード

直前にアドレスライトモードで指定したアドレスにデータを書き込むモードです。データバスには設定データを出力して下さい。また、同じアドレスをアクセスする場合は、再度アドレスの指定をする必要はありません。

(3) 外部メモリリードモード

外部メモリの指定されたアドレスからデータを読み出します。データバスにはデータが出力されます。アドレスはオートインクリメントします。

(4) ステータスリードモード

ステータス情報を読み出すモードです。
データバスにはステータス情報が出力されます。

(5) インアクティブモード

/CS端子が 'H' の時は、D0~D7はハイインピーダンスになります。

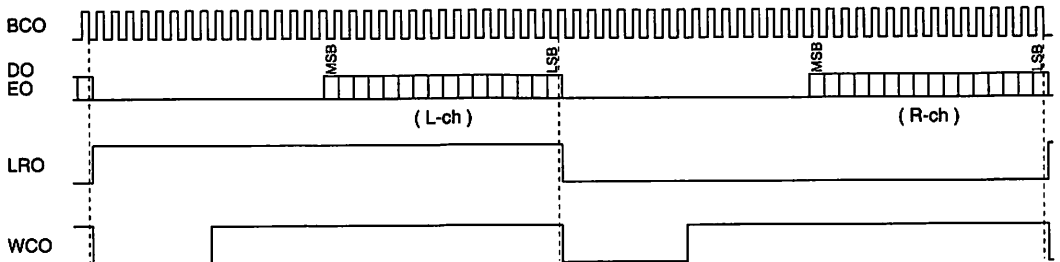
4. 外部メモリインターフェイス /MCE, /MOE, /MWR, MA23~MA0, MD7~MD0
 外部メモリのコントロール信号は/MCE, /MOE, /MWR 端子より、アドレスはMA23~MA0 端子より出力されます。また、データの入出力はMD7~MD0 端子で行います。

これらの端子はイニシャルクリア時ハイインピーダンスになります。この場合、外部メモリは本LSIから切り離されますので他の回路でメモリにアクセスすることが可能になります。

5. 音声信号出力 DO, EO, BCO, WCO, LRO

本LSIは、指定されたピッチで外部メモリから読み出された音声データに対して、線形補間、トータルレベル、パンポットの各処理を8チャンネル独立に行い、ステレオの音声信号として出力します。外部メモリの音声データのフォーマットは4ビットADPCM、8ビットPCM、16ビットPCMから選択可能です。ステレオの音声信号は16ビット2'sコンプリメントMSBファーストフォーマットで出力されます。

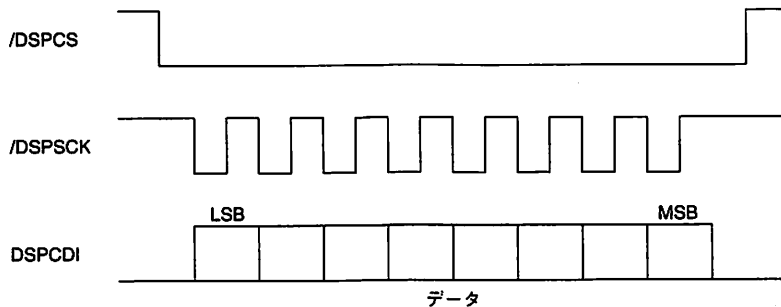
また、本LSIには外部にヤマハ製DSPを接続することができます。DSPへは8チャンネルから選択された2チャンネルを出力することができます。



音声信号出力フォーマット

6. DSPインターフェイス /DSPSCK, /DSPCS, DSPCDI

本LSIのレジスタ\$82へDSPデータを書き込むと、ヤマハ製DSPへのシリアルコントロール信号は/DSPSCK, /DSPCS, DSPCDI 端子より以下のように出力されます。



DSPインターフェイスフォーマット

■ ファンクション・レジスタ

1. レジスタマップ

ADDRESS	CH	D7	D6	D5	D4	D3	D2	D1	D0
\$00	CH0	発音ピッチ							
\$01		FN7	FN6	FN5	FN4	FN3	FN2	FN1	FN0
		キーオン KON	量子化モード MO1 MO0		ループ LOOP				FN8
\$02		トータルレベル							
\$03	TL7	TL6	TL5	TL4	TL3	TL2	TL1	TL0	
						パンポット			
						PAN3	PAN2	PAN1	PAN0
\$04~07	CH1								
\$08~0B	CH2								
\$0C~0F	CH3								
\$10~13	CH4								
\$14~17	CH5								
\$18~1B	CH6								
\$1C~1F	CH7								
\$20	CH0	スタートアドレス (H)							
\$21		ST23	ST22	ST21	ST20	ST19	ST18	ST17	ST16
\$22		ループスタートアドレス (H)							
\$23		LS23	LS22	LS21	LS20	LS19	LS18	LS17	LS16
		ループエンドアドレス (H)							
		LE23	LE22	LE21	LE20	LE19	LE18	LE17	LE16
		エンドアドレス (H)							
		EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
\$24~27	CH1								
\$28~2B	CH2								
\$2C~2F	CH3								
\$30~33	CH4								
\$34~37	CH5								
\$38~3B	CH6								
\$3C~3F	CH7								
\$40	CH0	スタートアドレス (M)							
\$41		ST15	ST14	ST13	ST12	ST11	ST10	ST09	ST08
\$42		ループスタートアドレス (M)							
\$43		LS15	LS14	LS13	LS12	LS11	LS10	LS09	LS08
		ループエンドアドレス (M)							
		LE15	LE14	LE13	LE12	LE11	LE10	LE09	LE08
		エンドアドレス (M)							
		EN15	EN14	EN13	EN12	EN11	EN10	EN09	EN08
\$44~47	CH1								
\$48~4B	CH2								
\$4C~4F	CH3								
\$50~53	CH4								
\$54~57	CH5								
\$58~5B	CH6								
\$5C~5F	CH7								

ADDRESS	CH	D7	D6	D5	D4	D3	D2	D1	D0
\$60	CH0	スタートアドレス (L)							
		ST07	ST06	ST05	ST04	ST03	ST02	ST01	ST00
		ループスタートアドレス (L)							
		LS07	LS06	LS05	LS04	LS03	LS02	LS01	LS00
\$62	CH0	ループエンドアドレス (L)							
		LE07	LE06	LE05	LE04	LE03	LE02	LE01	LE00
\$63	CH0	エンドアドレス (L)							
		EN07	EN06	EN05	EN04	EN03	EN02	EN01	EN00
\$64~67	CH1								
\$68~6B	CH2								
\$6C~6F	CH3								
\$70~73	CH4								
\$74~77	CH5								
\$78~7B	CH6								
\$7C~7F	CH7								

2. レジスタ機能説明

ファンクションレジスタは各チャンネルごとに用意されています。

名称	機 能
FN8~FN0	再生ピッチを設定します。分解能は512ステップです。
KON	キーオン、キーオフを設定します。 '1' = ON '0' = OFF
MO0, MO1	音声データの量子化モードを設定します。 MO1 MO0 0 0 = モード設定無しで、KON = '0' と同じ状態になります。 0 1 = 4ビットADPCMモード 1 0 = 8ビットリニアPCMモード 1 1 = 16ビットリニアPCMモード
LOOP	ループ再生イネーブルを設定します。 '0' = ディスエーブル '1' = イネーブル
TL8~TL0	トータルレベルを設定します。分解能は256ステップです。
PAN3~PAN0	パンポット (定位) を設定します。分解能は16ステップです。
ST23~ST00	スタートアドレスを設定します。
LS23~LS00	ループスタートアドレスを設定します。
LE23~LE00	ループエンドアドレスを設定します。
EN23~EN00	エンドアドレスを設定します。

- 注) レジスタ値はイニシャルクリアで全て '0' となります。
 スタートアドレス、ループスタートアドレス、ループエンドアドレス、エンドアドレスは、MA23~MA0の絶対アドレスを3バイトで設定します。
 レジスタの書き換えは、4ビットADPCMモードで繰り返し再生中のループスタートアドレス以外は随時可能です。

■ ユーティリティ・レジスタ

1. レジスタマップ

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0
\$80	Lchイネーブル LENB	Lch-出力チャンネルナンバー LCH2 LCH1 LCH0			Rchイネーブル RENB	Rch-出力チャンネルナンバー RCH2 RCH1 RCH0		
\$81								DSPイネーブル DSPE
\$82	DSPデータ							
	DSP7	DSP6	DSP5	DSP4	DSP3	DSP2	DSP1	DSP0
\$84	RAMアドレス (H)							
	MA23	MA22	MA21	MA20	MA19	MA18	MA17	MA16
\$85	RAMアドレス (M)							
	MA15	MA14	MA13	MA12	MA11	MA10	MA09	MA08
\$86	RAMアドレス (L)							
	MA07	MA06	MA05	MA04	MA03	MA02	MA01	MA00
\$87	RAMデータ							
	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
\$FE	IRQイネーブルマスク							
	ENC7	ENC6	ENC5	ENC4	ENC3	ENC2	ENC1	ENC0
\$FF	KONイネーブル KENB	メモリーイネーブル MENB		IRQイネーブル IENB		LSI TEST TST2 TST1		

2. レジスタ機能説明

名称	機能
LCH2~LCH0	DSP用音声信号出力のLchへ出力するチャンネルを選択します。
RCH2~RCH0	DSP用音声信号出力のRchへ出力するチャンネルを選択します。
LENB	DSP用音声信号出力のLch出力イネーブルを設定します。 '0' = イネーブル '1' = ディスエーブル
RENB	DSP用音声信号出力のRch出力イネーブルを設定します。 '0' = イネーブル '1' = ディスエーブル
DSPE	DSPへのコントロールデータ送信イネーブルを設定します。 '0' = ディスエーブル '1' = イネーブル
DSP7~DSP0	DSPへのコントロールデータを設定します。
MA23~MA00	外部メモリに対して書き込み、読み出しアドレスを設定します。
MD7~MD0	外部メモリに書き込むデータを設定します。データを設定すると書き込みアドレスが1つアップし、書き込みを行います。
ENC7~ENC0	各チャンネル毎の/IRQイネーブル/マスクを設定します。 '0' = イネーブル '1' = マスク
KENB	キーオンイネーブルを設定します。 '0' = 全てのチャンネルを強制的にキーオフします。 '1' = 全てのチャンネルのキーオンを受け付けます。
IENB	/IRQイネーブルを設定します。 '0' = 59番ピンは[/IRQ]出力となります。 '1' = 59番ピンは[DSPCDI]出力となります。
MENB	外部メモリアイネーブルを設定します。 '0' = MA23~MA0, MD7~MD0, /MCE, /MWR, /MOEの各端子をハイインピーダンスにします。 '1' = 通常の使用状態です。
TST1,2	LSIテストに使用します。通常は必ず '0' として下さい。

注) レジスタ値はイニシャルクリアで全て '0' となります。

■ ステータスについて

ステータスレジスタ

D7	D6	D5	D4	D3	D2	D1	D0
FLG7	FLG6	FLG5	FLG4	FLG3	FLG2	FLG1	FLG0

\$FEのENC7~ENC0で '1' が設定されているチャンネルの再生が、エンドアドレスに到達 (/IRQ端子 = 'L') した時、該当するチャンネルのステータスレジスタ (FLG7はチャンネル7、FLG0はチャンネル0) に '1' が立ちます。

ステータスレジスタをリード後、/IRQ端子は 'H' となり、'1' が立っていたステータスレジスタは '0' となります。

■ 電気的特性

1. 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{DD}	-0.5~7.0	V
入力電圧	V _I	-0.5~V _{DD} +0.5	V
出力電圧	V _O	-0.5~V _{DD} +0.5	V
動作周囲温度	T _{op}	0~70	℃
保存温度	T _{stg}	-50~125	℃

2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V _{DD}	4.75	5.0	5.25	V
動作周囲温度	T _{op}	0	25	70	℃

3. 直流特性 (条件 : T_a = 0~70℃、V_{DD} = 5.0±0.25V)

項目	記号	条件	最小	標準	最大	単位
入力リーク電流	I _{LI}	V _I = 0~5.0V, *1	-10		10	μA
出力リーク電流	I _{LO}	V _I = 0~5.0V, *2	-25		25	μA
入力電圧Hレベル (1)	V _{IHC}	XI	3.5		V _{DD}	V
入力電圧Lレベル (1)	V _{ILC}		-0.3		0.8	V
入力電圧Hレベル (2)	V _{IH}		2.2		V _{DD}	V
入力電圧Lレベル (2)	V _{IL}		-0.3		0.8	V
出力電圧Hレベル	V _{OH}	I _{OH} = -100 μA	4.0			V
出力電圧Lレベル	V _{OL}	I _{OL} = 4.0mA, *3			0.4	V
電源電流	I _{DD}				20	mA
プルアップ抵抗			30		300	kΩ

注) *1: V_{DD}, V_{SS}, /TEST, XI, /CS, /IC端子を除く全入力端子に適用。

*2: 全出力端子に適用。

*3: 全入出力、出力端子に適用。

4. 交流特性 (条件 : $T_a = 0 \sim 70^\circ\text{C}$ 、 $V_{DD} = 5.0 \pm 0.25\text{V}$)

4-1. クロック

項目	記号	図	最小	標準	最大	単位
マスタークロック周波数	fMCLK	Fig.1	14.3	16.9344	19.2	MHz
マスタークロック周期	t _c	Fig.1	52.1	59.1	69.9	ns
入力クロック立ち上がり時間	t _{rc}	Fig.1			10.0	ns
入力クロック立ち下がり時間	t _{fc}	Fig.1			10.0	ns
入力クロックデューティ	D		40	50	60	%

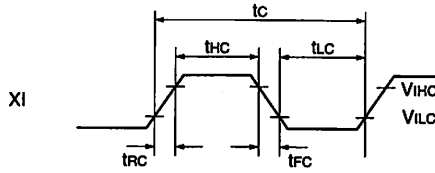


Fig. 1 入力クロックタイミング

4-2. リセット

項目	記号	図	最小	標準	最大	単位
リセットパルス幅	t _{RP}	Fig.2	769t _c			ns

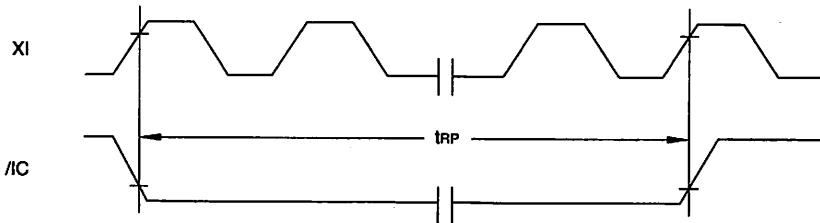


Fig. 2 リセットタイミング

4-3. CPUインターフェイス

項目	記号	図	最小	標準	最大	単位
アドレスセットアップ時間	tAs	Fig. 3	10			ns
アドレスホールド時間	tAH	Fig. 3	10			ns
チップセレクトライト幅	tCSW	Fig. 3	100			ns
ライトパルス幅	tWW	Fig. 3	100			ns
ライトデータセットアップ時間	tWDS	Fig. 3	20			ns
ライトデータホールド時間	tWDH	Fig. 3	10			ns
ライトコマンドセットアップ時間	twcs	Fig. 3	10			ns
ライトコマンドホールド時間	twch	Fig. 3	10			ns
チップセレクトリード幅	tCSR	Fig. 4	100			ns
リードパルス幅	tRW	Fig. 4	100			ns
リードコマンドセットアップ時間	trcs	Fig. 4	10			ns
リードコマンドホールド時間	trch	Fig. 4	10			ns
リードデータアクセス時間	tACC	Fig. 4			100	ns
リードデータホールド時間	trDH	Fig. 4	10			ns
ライト後ウェイト時間	tWAW	Fig. 5, *1 Fig. 6, *2 Fig. 6, *3 Fig. 6, *4 Fig. 6, *5 Fig. 6, *6	19tc 7tc 19tc 385tc 97tc 97tc			ns ns ns ns ns ns

注) 測定条件：端子D0～D7の出力容量 = 50 (pF)。

入力レベル $V_{IL} = 0.4$ (V)、 $V_{IH} = 2.6$ (V)

出力判定レベル $V_{OL} = 0.8$ (V)、 $V_{OH} = 2.2$ (V)。

- *1：レジスタアドレス及びデータライト後、音声データをリードするまでに必要なウェイト時間。
- *2：レジスタアドレスをライト後、次のライト動作までに必要なウェイト時間。
- *3：レジスタデータをライト後、次のライト動作までに必要なウェイト時間。
- *4：レジスタアドレス\$01HのKONレジスタヘデータをライト後、次のライト動作までに必要なウェイト時間。
- *5：レジスタアドレス\$82HのDSPデータレジスタをライト後、次のライト動作までに必要なウェイト時間。
- *6：レジスタアドレス\$82HのDSPデータレジスタをライト後、レジスタアドレス\$81HのDSPイネーブルレジスタヘデータをライトするまでに必要なウェイト時間。

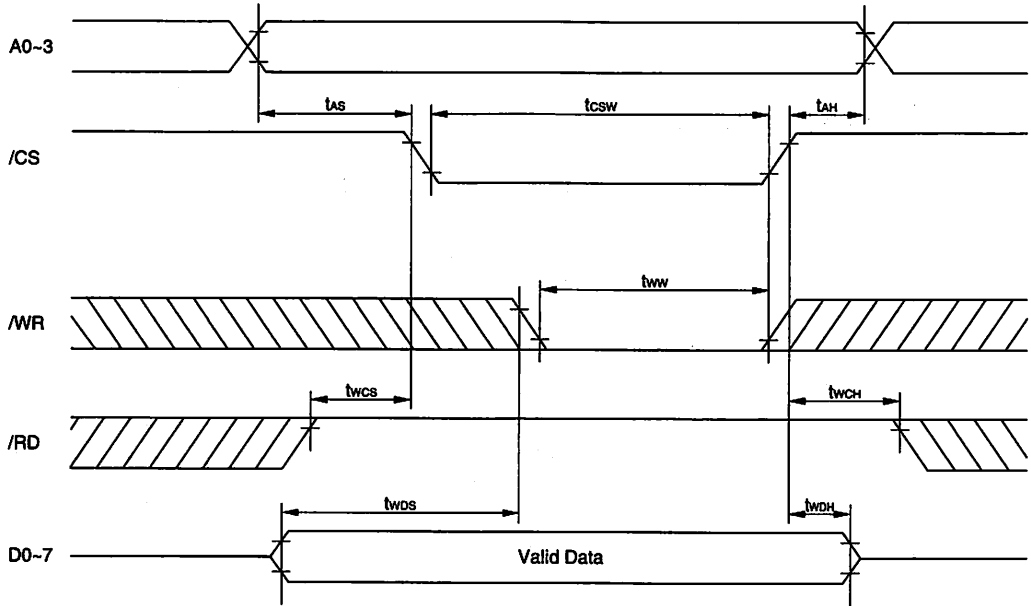


Fig. 3 CPUインターフェイスタイミング①

注) t_{wds} は/CS、/WRのいずれかが遅くLowレベルになる時を基準とする。
 t_{csw} , t_{ww} , t_{wch} , t_{wdh} は/CS、/WRのいずれかが早くHighレベルになる時を基準とする。

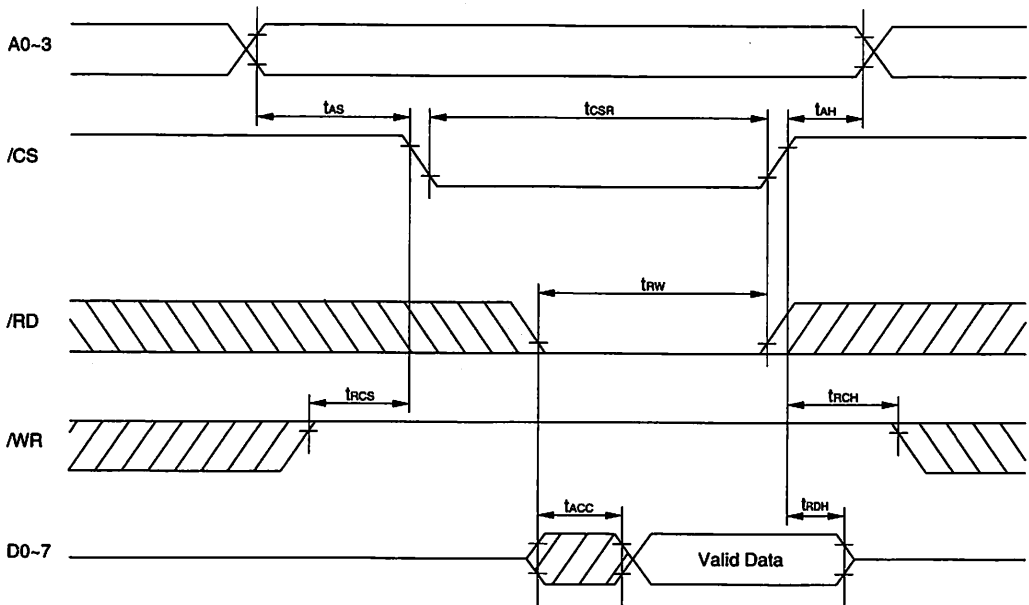


Fig. 4 CPUインターフェイスタイミング②

注) t_{acc} は/CS、/RDのいずれかが遅くLowレベルになる時を基準とする。
 t_{csr} , t_{trw} , t_{trch} , t_{rdh} は/CS、/RDのいずれかが早くHighレベルになる時を基準とする。

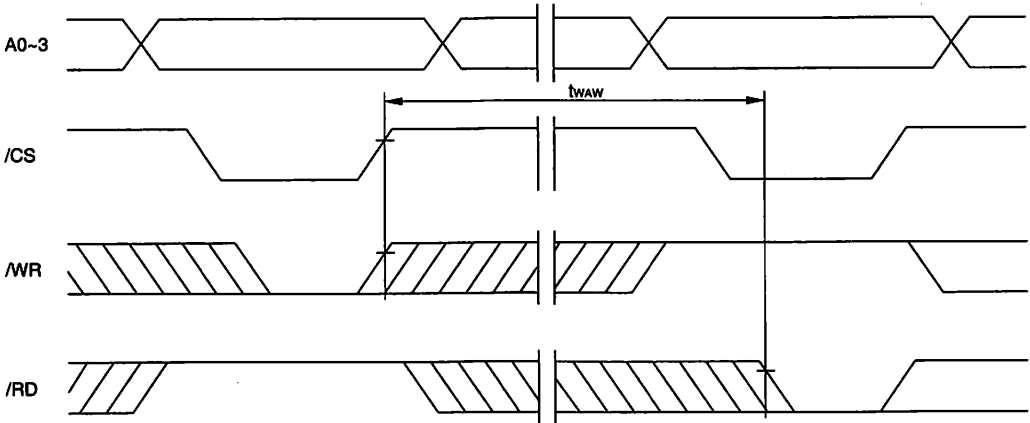


Fig.5 CPUインターフェイスタイミング③

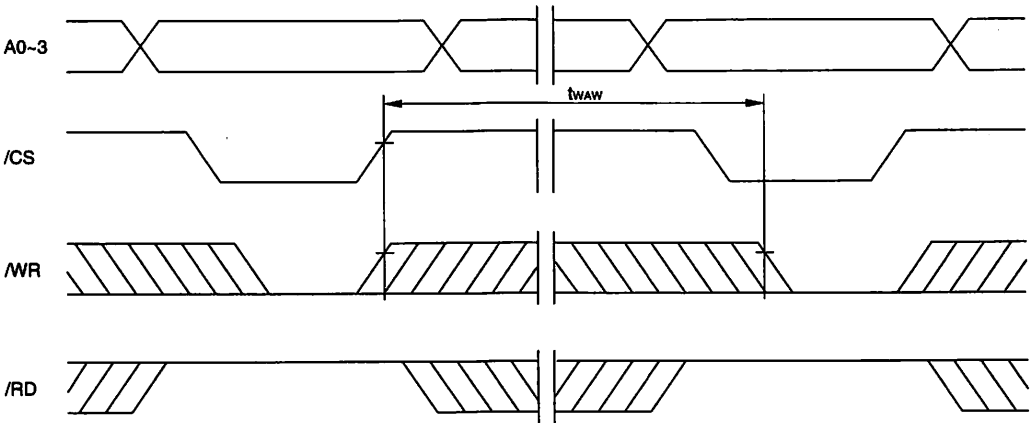


Fig.6 CPUインターフェイスタイミング④

4-4. 外部メモリアイト

項目	記号	図	最小	標準	最大	単位
メモリアイトサイクル時間	t _{MWC}	Fig. 7		6tc		ns
/MCEパルス幅	t _{MWCE}	Fig. 7		5tc		ns
/MCEプリチャージ時間	t _{MWP}	Fig. 7		tc		ns
/MOEセットアップ時間	t _{WOSC}	Fig. 7		tc		ns
/MOEホールド時間	t _{WOHC}	Fig. 7		tc		ns
ライトコマンドホールド時間	t _{MWCH}	Fig. 7		3tc		ns
ライトコマンドリード時間	t _{MWCR}	Fig. 7		4tc		ns
メモリアイトパルス幅	t _{MW}	Fig. 7		2tc		ns
メモリアドレスセットアップ時間	t _{MAS}	Fig. 7		0.5tc		ns
メモリアドレスホールド時間	t _{WAH}	Fig. 7		4.5tc		ns
メモリアデータセットアップ時間	t _{WDSW}	Fig. 7		3tc		ns
	t _{WDSC}	Fig. 7		5tc		ns
メモリアデータホールド時間	t _{WDHW}	Fig. 7		2tc		ns
	t _{WDHC}	Fig. 7		0		ns

注) 測定条件：端子/MCE, /MOE, /MWR, MD0~MD7, MA0~MA23の出力負荷容量
 C_L = 50 (pF)。
 入力レベルV_{IL} = 0.4 (V)、V_{IH} = 2.6 (V)。
 出力判定レベルV_{OL} = 0.8 (V)、V_{OH} = 2.2 (V)。

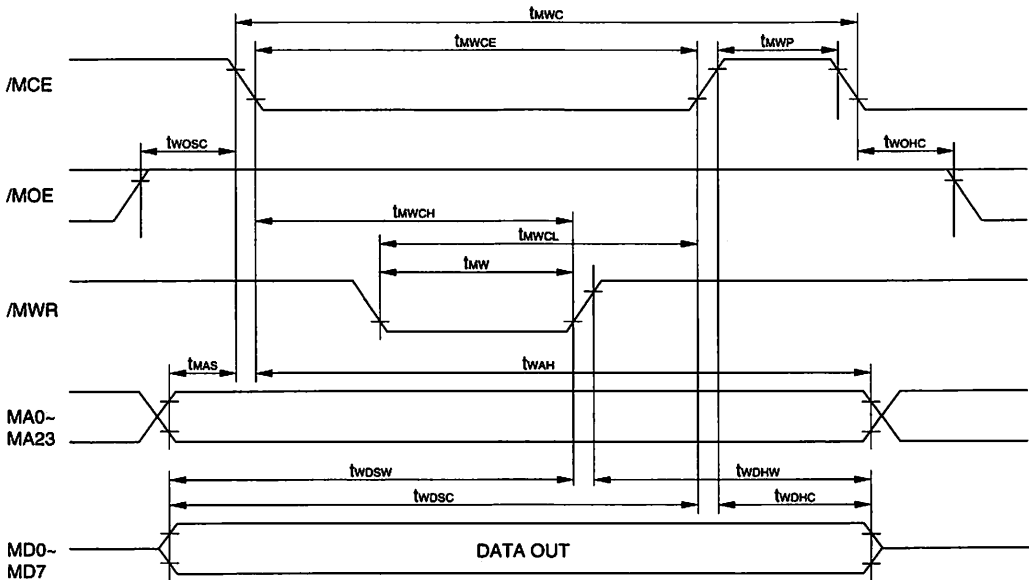


Fig. 7 外部メモリアイトタイミング

4-5. 外部メモリリード

項目	記号	図	最小	標準	最大	単位
メモリリードサイクル時間	t_{MRC}	Fig. 8		6tc		ns
/MCEパルス幅	t_{MRCE}	Fig. 8		5tc		ns
/MCEプリチャージ時間	t_{MRP}	Fig. 8		tc		ns
/MOEパルス幅	t_{MOEP}	Fig. 8		5tc		ns
/MOEセットアップ時間	t_{MOEST}	Fig. 8		0		ns
/MOEホールド時間	t_{MOEHD}	Fig. 8		tc		ns
リードコマンドセットアップ時間	t_{MRCS}	Fig. 8		3tc		ns
リードコマンドホールド時間	t_{MRCH}	Fig. 8		2tc		ns
メモリアドレスセットアップ時間	t_{MAS}	Fig. 8		0.5tc		ns
メモリアドレスホールド時間	t_{MAH}	Fig. 8		4.5tc		ns
メモリデータセットアップ時間	t_{MDS}	Fig. 8	tc			ns
メモリデータホールド時間	t_{MDH}	Fig. 8	0			ns

注) 測定条件：端子/MCE, /MOE, /MWR, MD0~MD7, MA0~MA23の出力負荷容量
 $C_L = 50$ (pF)。
 入力レベル $V_{IL} = 0.4$ (V)、 $V_{IH} = 2.6$ (V)。
 出力判定レベル $V_{OL} = 0.8$ (V)、 $V_{OH} = 2.2$ (V)。

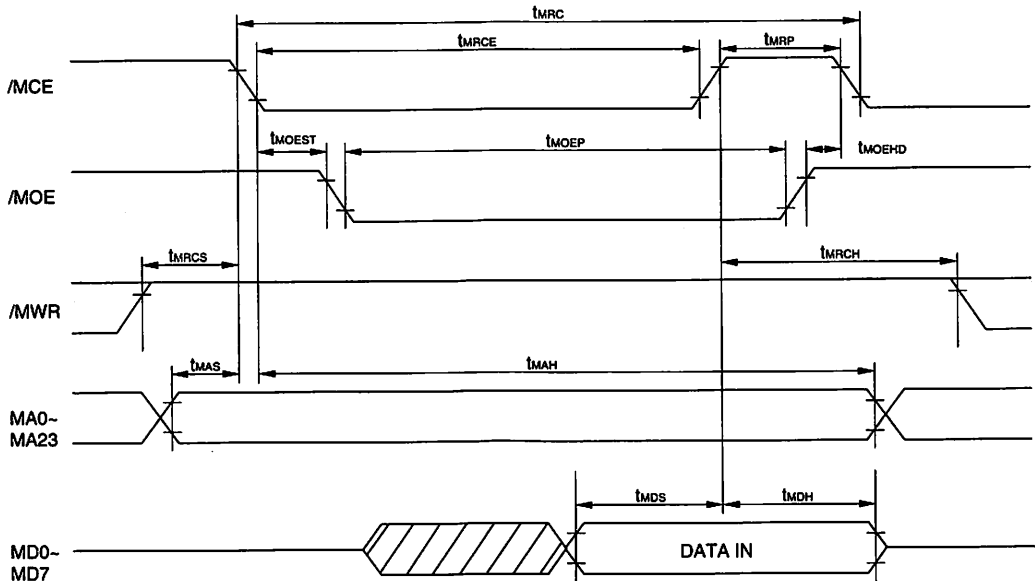


Fig. 8 外部メモリリードタイミング

4-6. 音声信号出力

項目	記号	図	最小	標準	最大	単位
BCO周波数	t _{sco}	Fig. 9		f _{MCLK} /6		MHz
LRO周波数	t _{LRO}			f _{MCLK} /384		MHz
WCO周波数	t _{wco}			f _{MCLK} /192		MHz
BCOデューティ	D _{Bco}			50		%
LROデューティ	D _{LRO}			50		%
WCOデューティ	D _{wco}			62.5		%
DO, EOセットアップ時間	t _{DES}	Fig. 9		2t _c		ns
DO, EOホールド時間	t _{DEH}	Fig. 9		3t _c		ns
LROセットアップ時間	t _{LRS}	Fig. 9		2t _c		ns
LROホールド時間	t _{LRH}	Fig. 9		3t _c		ns
WCOホールド時間	t _{wch}	Fig. 9		3t _c		ns
立ち上がり時間	t _{RD}	Fig. 9			30	ns
立ち下がり時間	t _{FD}	Fig. 9			30	ns

注) 測定条件： 端子BCO, WCO, LRO, DO, EOの出力負荷容量C_{LDA} = 50 (pF)。
 入力レベルV_{IL} = 0.4 (V)、V_{IH} = 2.6 (V)。
 出力判定レベルV_{OL} = 0.8 (V)、V_{OH} = 2.2 (V)。

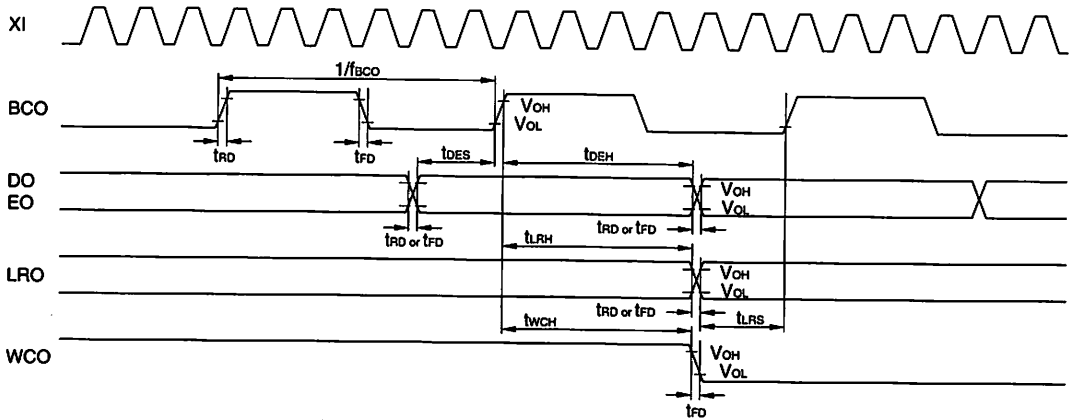


Fig. 9 音声信号出力タイミング

4-7. DSPインターフェイス

項目	記号	図	最小	標準	最大	単位
DSPCDIセットアップ時間	toss	Fig. 10	6tc			ns
DSPCDIホールド時間	tosh	Fig. 10	6tc			ns
DSPCDI出力時間	tddo	Fig. 10	96tc			ns
/DSPSCK立ち下がり遅延時間	tocd	Fig. 10	6tc			ns
/DSPCS立ち上がり遅延時間	tocu	Fig. 10	12tc			ns

注) 測定条件：端子DSPCDI, /DSPSCK, /DSPCSの出力負荷容量 $C_L = 50$ (pF)。
 入力レベル $V_{IL} = 0.4$ (V)、 $V_{IH} = 2.6$ (V)。
 出力判定レベル $V_{OL} = 0.8$ (V)、 $V_{OH} = 2.2$ (V)。

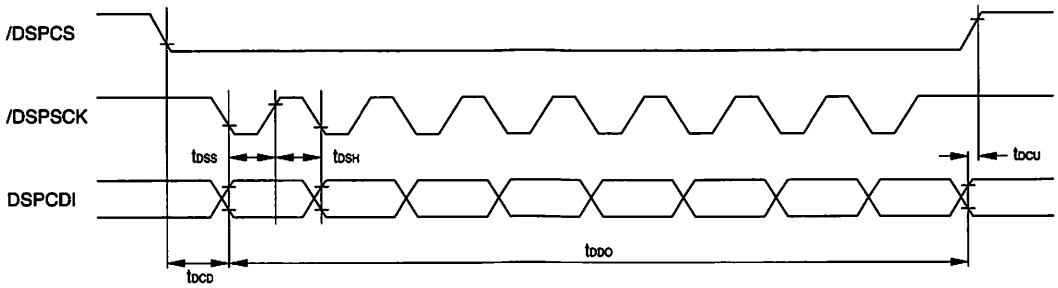
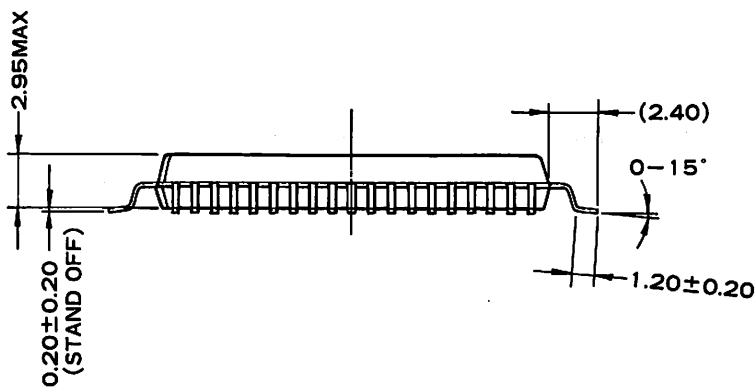
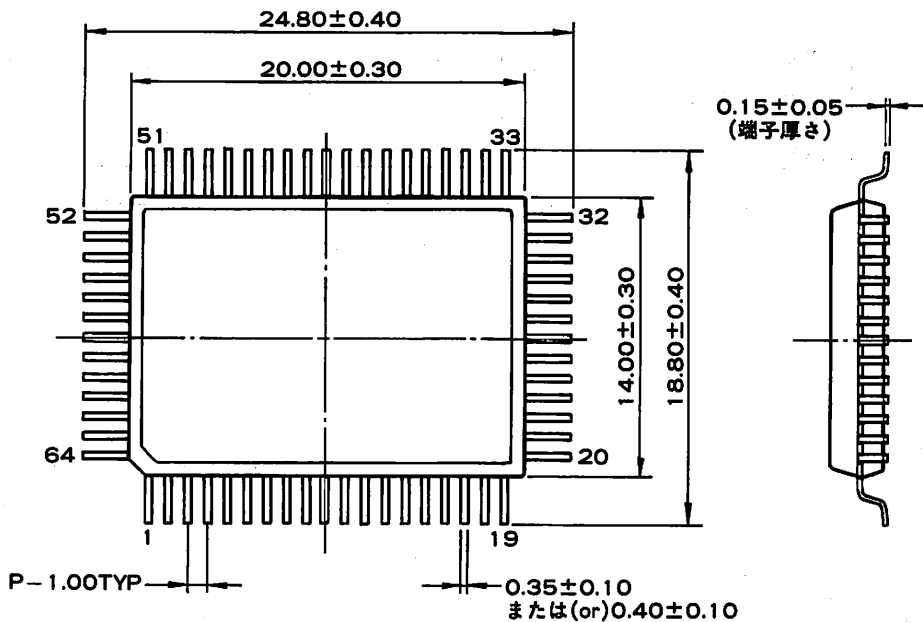


Fig. 10 DSPインターフェイスタイミング

■ パッケージ外形図

- YMZ280B-F



カッコ内の寸法値は参考値とする
 モールド外形寸法はバリを含まない
 単位(UNIT) : mm