

YMF264

(OPNC)

FM Operator type-N CMOS

■概要

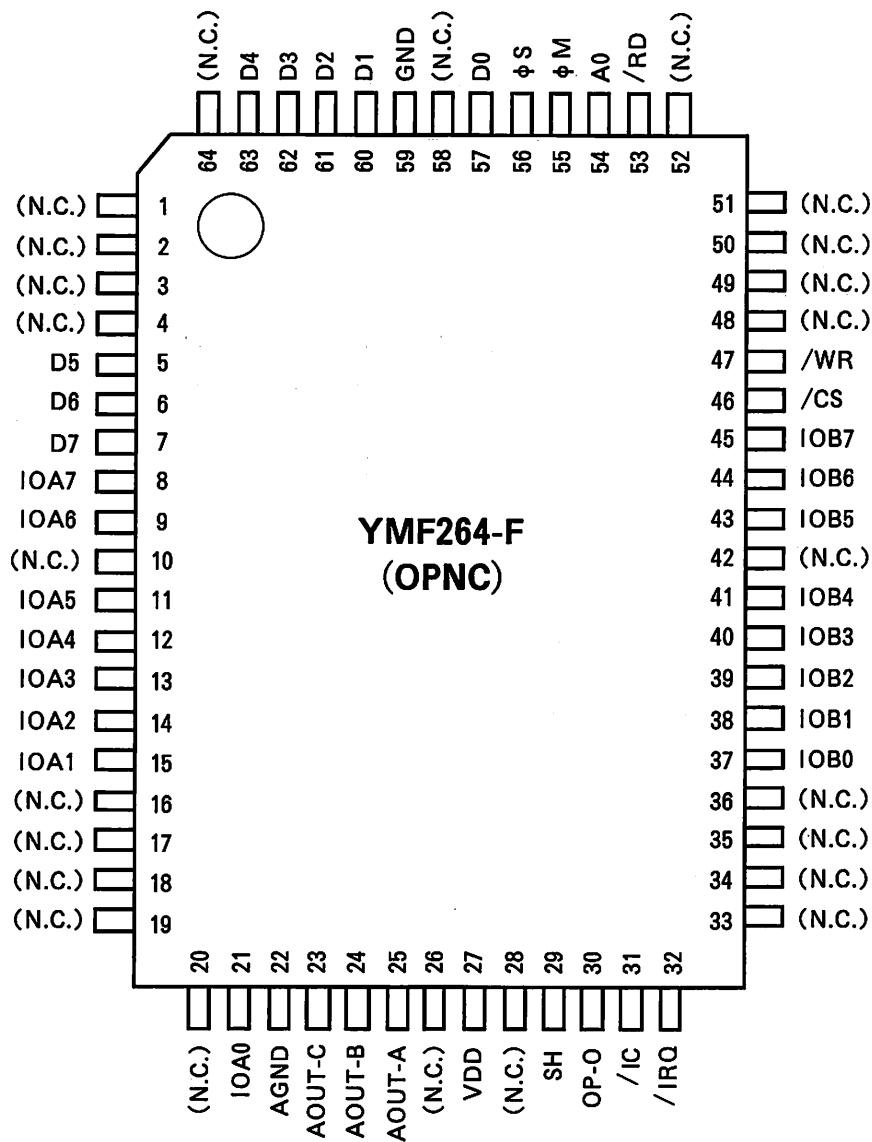
YMF264(OPNC)は、NMOSプロセスLSIのYM2203(OPN)とレジスタコンパチブルのCMOSプロセスLSIです。

FM方式の音源と矩形波を制御するSSG(PSG)タイプの音源を持っており、それぞれ自由に音色設定のできるように、独立したレジスタアレーがあります。このレジスタに音色情報を入力するだけで、楽音・効果音などの音を発音することができます。この2つの音源はそれぞれ3音(3チャンネル)ずつ、楽音発生が可能であるため、ミュージックシンセサイザーとしての機能を持ち、自然楽器はもちろんのこと、幅広い音色を作ることが可能です。

■特徴

- YM2203(OPN)とレジスタコンパチブル。
- FM方式の音源を採用し、3音同時発音が可能。
- FM3音のうち1音については、特殊な効果音が発音可能。
- 2つのタイマー内蔵。
- FM方式以外に矩形波音3音及びホワイトノイズを発生。
- 2つの8ビット汎用I/Oポート内蔵。
- クロック分周器内蔵により、動作周波数領域が広い。
- 入出力はTTLコンパチブル。
- Si-Gate CMOS-LSI。
- 単一5V電源
- 64ピン プラスチックQFP(YMF264-F)

■端子配置图



64pin QFP top view

■端子機能説明

No	端子名	I/O	機能
1	(N.C.)		*
2	(N.C.)		*
3	(N.C.)		*
4	(N.C.)		*
5	D5	I/O	CPUインターフェース データバス(D5)
6	D6	I/O	CPUインターフェース データバス(D6)
7	D7	I/O	CPUインターフェース データバス(D7)
8	IOA7	I+/O	汎用I/Oポート-A
9	IOA6	I+/O	汎用I/Oポート-A
10	(N.C.)		*
11	IOA5	I+/O	汎用I/Oポート-A
12	IOA4	I+/O	汎用I/Oポート-A
13	IOA3	I+/O	汎用I/Oポート-A
14	IOA2	I+/O	汎用I/Oポート-A
15	IOA1	I+/O	汎用I/Oポート-A
16	(N.C.)		*
17	(N.C.)		*
18	(N.C.)		*
19	(N.C.)		*
20	(N.C.)		*
21	IOA0	I+/O	汎用I/Oポート-A
22	AGND	-	アナログ部グラウンド
23	AOUT-C	SF	SSG Cチャンネル音声出力
24	AOUT-B	SF	SSG Bチャンネル音声出力
25	AOUT-A	SF	SSG Aチャンネル音声出力
26	(N.C.)		*
27	VDD	-	+5V電源
28	(N.C.)		*
29	SH	O	DACインターフェース サンプルホールド信号出力
30	OP-O	O	DACインターフェース FM音声信号出力
31	/IC	I+	イニシャルクリア入力
32	/IRQ	OD	割り込み信号出力
33	(N.C.)		*
34	(N.C.)		*
35	(N.C.)		*
36	(N.C.)		*
37	IOB0	I+/O	汎用I/Oポート-B
38	IOB1	I+/O	汎用I/Oポート-B
39	IOB2	I+/O	汎用I/Oポート-B
40	IOB3	I+/O	汎用I/Oポート-B
41	IOB4	I+/O	汎用I/Oポート-B
42	(N.C.)		*

No.	端子名	I/O	機	能
43	IOB5	I+/O	汎用I/Oポート-B	
44	IOB6	I+/O	汎用I/Oポート-B	
45	IOB7	I+/O	汎用I/Oポート-B	
46	/CS	I+	CPUインターフェース	チップセレクト信号
47	/WR	I	CPUインターフェース	ライトイネーブル信号
48	(N.C.)		*	
49	(N.C.)		*	
50	(N.C.)		*	
51	(N.C.)		*	
52	(N.C.)		*	
53	/RD	I	CPUインターフェース	リードイネーブル信号
54	A0	I	CPUインターフェース	アドレス選択信号
55	ϕ M	I	マスタークロック入力	
56	ϕ S	O	DACインターフェース	ビットクロック出力
57	D0	I/O	CPUインターフェース	データバス(D0)
58	(N.C.)		*	
59	GND	-	デジタル用グラウンド	
60	D1	I/O	CPUインターフェース	データバス(D1)
61	D2	I/O	CPUインターフェース	データバス(D2)
62	D3	I/O	CPUインターフェース	データバス(D3)
63	D4	I/O	CPUインターフェース	データバス(D4)
64	(N.C.)		*	

注) (N. C.): この端子は通常無接続でご使用下さい。

I+ : プルアップ抵抗内蔵入力端子

I+/O : プルアップ抵抗内蔵入出力端子

OD : オープンドレイン出力端子

SF : ソースフォロワ出力端子

■機能説明

1. レジスタマップ

(a) FM部レジスタ(ライト専用)

address (HEX)	Register							Comment
	d7	d6	d5	d4	d3	d2	d1	
21	TEST							LSIのTESTデータ
24	TIMER-A							TIMER-Aの上位8ビット
25	TIMER-A							TIMER-Aの下部2ビット
26	TIMER-B							TIMER-Bのデータ
27	MODE	RESET	ENABLE	LOAD				3CHのモード及びTIMER-A/Bのコントロール
28	SLOT			/		CH		Key-on/off
2D	/							プリスケアラをセット
2E	/							1/3, 1/6分周の選択
2F	/							分周器を1/2分周にセット
30 : 3E	DT			MULTI				Detune/Multiple (33, 37, 3Bのaddressは無し)
40 : 4E	/	TL						Total Level (43, 47, 4Bのaddressは無し)
50 : 5E	KS	/	AR				Key Scale/Attack Rate (53, 57, 5Bのaddressは無し)	
60 : 6E	/		DR				Decay Rate (63, 67, 6Bのaddressは無し)	
70 : 7E	/		SR				Sustain Rate (73, 77, 7Bのaddressは無し)	
80 : 8E	SL			RR				Sustain Level/Release Rate (83, 87, 8Bのaddressは無し)
90 : 9E	/		SSG-EG				SSG-Type Envelope Control (93, 97, 9Bのaddressは無し)	
A0	F-Num. 1							F-Number/Block
A1								
A2								
A4	/	BLOCK		F-Num. 2			3CH*3Slot F-Number/Block	
A5								
A6								
A8	3CH*F-Num. 1							3CH*3Slot F-Number/Block
A9								
AA								
AC	/	3CH*BLOCK		3CH*F-Num. 2			Self-feedback/Connection	
AD								
AE								
B0	/	FB		CONNECT			Self-feedback/Connection	
B1								
B2								

(b) SSG部レジスタ(ライト/リード可能)

address (HEX)	Register								Comment
	d7	d6	d5	d4	d3	d2	d1	d0	
00	Fine Tune								Channel-A Tone Period
01	Coarse Tune								
02	Fine Tune								Channel-B Tone Period
03	Coarse Tune								
04	Fine Tune								Channel-C Tone Period
05	Coarse Tune								
06	Period Control								Noise Period
07	IN/OUT	/NOISE			/Tone				Mixer Control
08	M			Level					Channel-A Amplitude
09	M			Level					Channel-B Amplitude
0A	M			Level					Channel-C Amplitude
0B	Fine Tune								Envelope Period
0C	Coarse Tune								
0D	C			ATT	ALT	HLD			Envelope Shape, Cycle
0E	I/O Port-A								I/O port Data
0F	I/O Port-B								

(c) ステータスレジスタ(リード専用)

address (HEX)	Register								Comment
	d7	d6	d5	d4	d3	d2	d1	d0	
xx	Busy						FLAG	Status	

2. CPUインターフェース

YMF264内のレジスタへのデータの書き込み及びレジスタからのデータの読み出しは、/CS、/WR、/RD、A0の各コントロール端子によりデータバスのコントロールを行い、データバスにレジスタのアドレスまたはデータを設定することで行います。コントロール端子によりデータバスは以下のようなモードになります。

/CS	/WR	/RD	A0	モード
L	L	H	L	アドレス・ライト
			H	データ・ライト
L	H	L	L	ステータス・リード
			H	データ・リード
H	×	×	×	インアクティブ

× : Don't care

(a) データの書き込み

レジスタにデータを書き込む手順は、アドレスライトモードでレジスタのアドレスをデータバスに設定し、その後データライトモードでレジスタに書き込むデータをデータバスに設定します。同じアドレスのレジスタには連続してデータのライトが可能です。また、レジスタにデータが確定されるために各モード後に以下の待ち時間が必要です。

1. アドレスライト後のウェイト時間

(unit : s)

	分周数	ウェイト時間
SSG音源部 アドレス 00H~0FH	2	$7 \times T$
	3	$9.5 \times T$
	6	$17 \times T$
FM音源部 アドレス 21H~B2H	2	$7 \times T$
	3	$9.5 \times T$
	6	$17 \times T$

注) Tはマスタークロックの周期

2. データライト後のウェイト時間

(unit : s)

	分周数	ウェイト時間
SSG音源部 アドレス 00H~0FH	2	$7 \times T$
	3	$9.5 \times T$
	6	$17 \times T$
FM音源部 アドレス 21H~B2H	2	$28 \times T$
	3	$42 \times T$
	6	$83 \times T$

注) Tはマスタークロックの周期

(b) データの読み出し

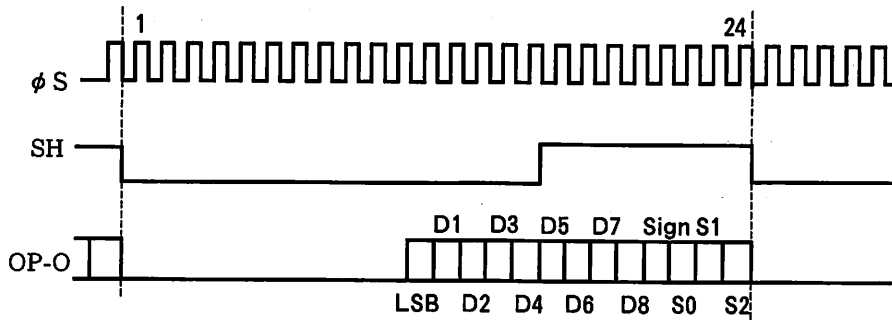
レジスタからデータを読み出す手順は、アドレスライトモードでレジスタのアドレスをデータバスに設定し、その後データリードモードにすることでデータバスにレジスタの内容が出力されます。また、アドレスライト後には前ページ記述の待ち時間が必要です。

(c) ステータスの読み出し

ステータスレジスタにはアドレスが存在しませんので、ステータスリードモードにすることでデータバスにステータスの内容が出力されます。

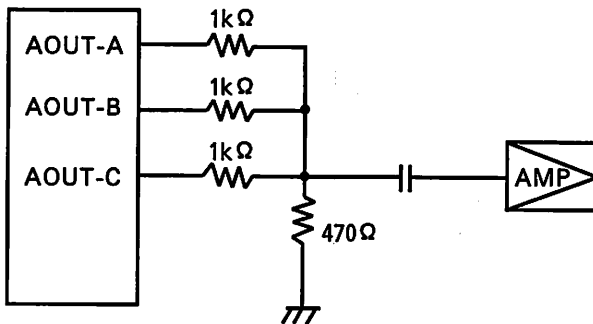
3. FM信号音声出力

YMF264のFM音声信号はOP-O端子から13ビットのフローティングデータ(仮数部:10ビットLSB-Sign、指数部:3ビット S0-S2)として以下のようなフォーマットで出力されます。このデータをアナログに変換するためにYAMAHAでは、YM3014Bを用意しています。



4. SSG音声出力

SSG音声出力信号はAOUT-A~C端子からソースフォロワで出力されます。これをアナログ信号にするには以下のように終端抵抗をつけてミキシングします。



■電気的特性

1. 絶対最大定格

項目	定格値	単位
端子電圧	-0.3 ~ 7.0	V
動作周囲温度	0 ~ 70	°C
保存温度	-50 ~ 125	°C

2. 推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧	V _{DD}		4.75	5.00	5.25	V
接地電圧	V _{SS}		0	0	0	V
動作周囲温度	T _{OP}		0	25	70	°C

3. 直流特性 (推奨動作条件下において)

項目		記号	条件	最小	標準	最大	単位
入力Highレベル	全入力	V _{IH}		2.0		VDD	V
入力Lowレベル	全入力	V _{IL}		-0.3		0.8	V
入力リーク電流	* 1	I _L	V _I =0~5V	-10		10	μA
出力Highレベル電圧	* 2	V _{OH1}	I _{OH1} =0.4mA	2.4			V
		V _{OH2}	I _{OH2} =40 μA	3.3			V
出力Lowレベル電圧	全出力	V _{OL}	I _{OL} =2mA			0.4	V
出力リーク電流	* 3	I _{OL}	V _{OH} =0~5V	-10		10	μA
アナログ出力電圧	* 4	V _{OA}	最大音量 ミキシング無し R _L =1kΩ peak to peak	0.95		1.35	V
電源電流		I _{DD}				20	mA
プルアップ抵抗	* 5	R _U		60		600	kΩ
入力容量	全入力	C _I	f=1MHz			10	pF
出力容量	全出力	C _O				10	pF

* 1 : φM, /WR, /RD, A0端子に適用

* 2 : /IRQを除く出力端子に適用

* 3 : D0~D7, /IRQ端子に適用

* 4 : AOUT-A, B, C端子に適用

* 5 : IOA0~IOA7, IOB0~IOB7, /IC, /CS端子に適用

4. 交流特性（推奨動作条件下において）

4-1. クロック特性

項目	記号	条件	最小	標準	最大	単位
入力クロック周波数	f_c	プリスケアラ機能 (図A-1)	0.7		4.2	MHz
入力クロックデューティ			40	50	60	%
入力クロック立ち上がり時間	t_{CR}	(図A-1)			50	ns
入力クロック立ち下がり時間	t_{CF}	(図A-1)			50	ns

4-2. FM音源部

項目	記号	条件	最小	標準	最大	単位
アドレスセットアップ時間	A0	t_{AS} (図A-2,3)	10			ns
アドレスホールド時間	A0	t_{AH} (図A-2,3)	10			ns
チップセレクトライト幅	/CS	t_{CSW} (図A-2)	200			ns
チップセレクトリード幅	/CS	t_{CSR} (図A-3)	250			ns
ライトパルス幅	/WR	t_{WW} (図A-2)	200			ns
ライトデータセットアップ時間	D0~D7	t_{WDS} (図A-2)	100			ns
ライトデータホールド時間	D0~D7	t_{WDH} (図A-2)	20			ns
リードパルス幅	/RD	t_{RW} (図A-3)	250			ns
リードデータアクセス時間	D0~D7	t_{ACC} $C_L=100$ pF (図A-3)			250	ns
リードデータホールド時間	D0~D7	t_{RDH} (図A-3)	10			ns
アウトプット立ち上がり時間	ϕS	t_{OR1} $C_L=100$ pF (図A-4)			200	ns
	OP-O,SH	t_{OR2} $C_L=100$ pF (図A-5)			300	ns
アウトプット立ち下がり時間	ϕS	t_{OF1} $C_L=100$ pF (図A-4)			200	ns
	OP-O,SH	t_{OF2} $C_L=100$ pF (図A-5)			300	ns

4-3. SSG音源部

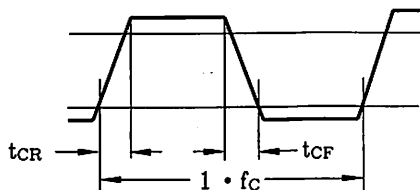
項目	記号	条件	最小	標準	最大	単位
アドレスセットアップ時間	A0	t_{SAS} (図A-7,8)	10			ns
アドレスホールド時間	A0	t_{SAH} (図A-7,8)	10			ns
チップセレクトライト幅	/CS	t_{SCSW} (図A-7)	250			ns
チップセレクトリード幅	/CS	t_{SCSR} (図A-8)	400			ns
ライトパルス幅	/WR	t_{SWW} (図A-7)	250			ns
ライトデータセットアップ時間	D0~D7	t_{SWDS} (図A-7)	0			ns
ラトイデータホールド時間	D0~D7	t_{SWDH} (図A-7)	20			ns
リードパルス幅	/RD	t_{SRW} (図A-8)	400			ns
リードデータアクセス時間	D0~D7	t_{SACC} $C_L=100$ pF (図A-8)			400	ns
リードデータホールド時間	D0~D7	t_{SRDH} (図A-8)	10			ns

4-4. リセット

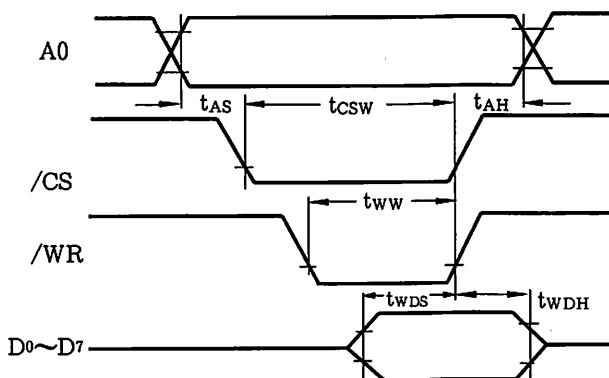
項目	記号	条件	最小	標準	最大	単位
リセットパルス幅	/IC	t_{ICW} (図A-9)	$72/f_c^*$			s

*プリスケアラの分周数に依存する。パルス幅=(分周数)×12

5. タイミング図 (タイミングの設定は $V_{IH}=2.0V$, $V_{IL}=0.8V$ を基準とする。)

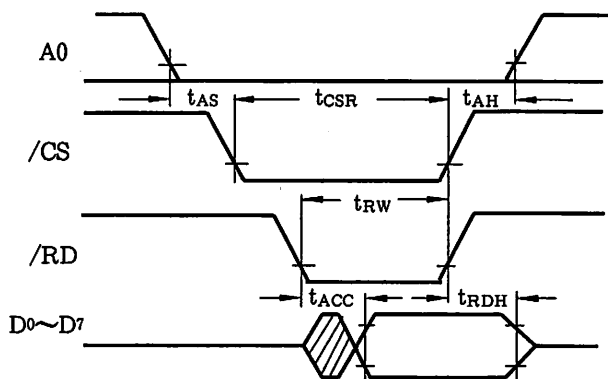


図A-1 クロックタイミング



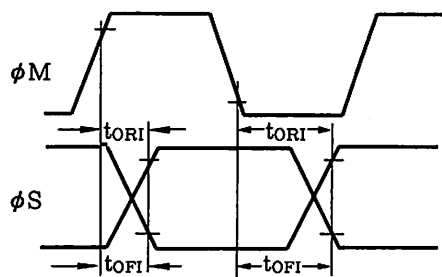
図A-2 FM部ライトタイミング

(注)
 t_{CSW} , t_{ww} , t_{WDH} は /CS、/WR の
 いずれかが High レベルになった時
 を基準とする。

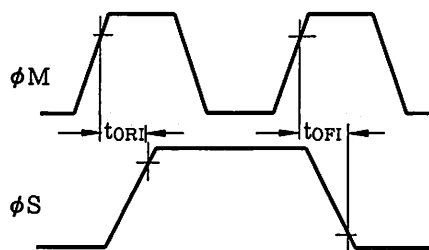


図A-3 FM部リードタイミング

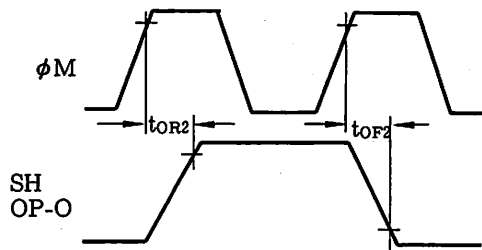
(注)
 t_{ACC} は、/CS、/RDの遅くLowレベルになるのが基準です。
 t_{CSR} 、 t_{rw} 、 t_{RDH} は/CS、/RDのいずれかがHighレベルになった時を基準とする。



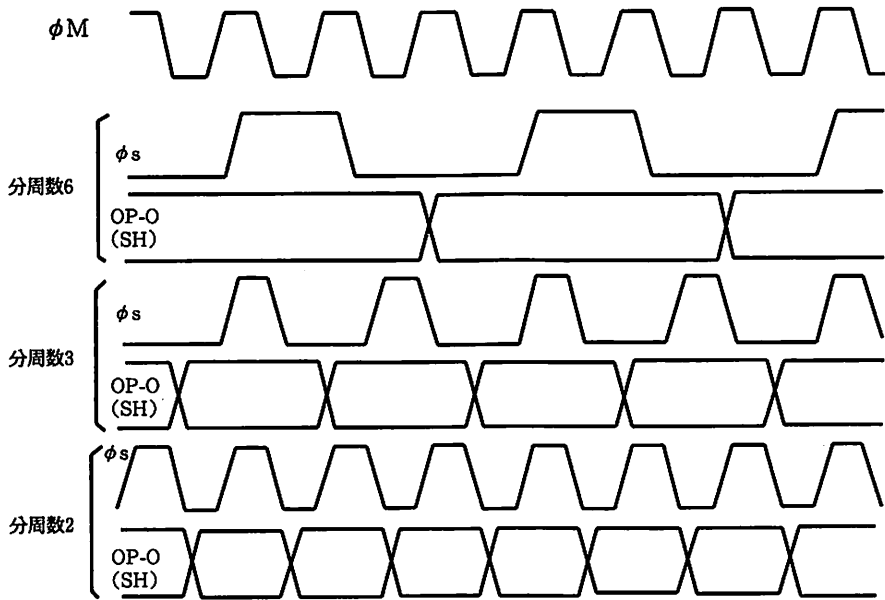
図A-4-a ϕM と ϕS (分周数2と3の場合)



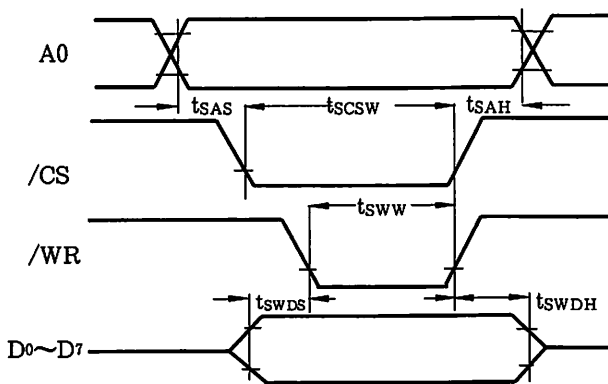
図A-4-b ϕM と ϕS (分周数6の場合)



図A-5 ϕM とSH・OP-O



図A-6 各分周数における ϕs とOP-O SHのタイミング

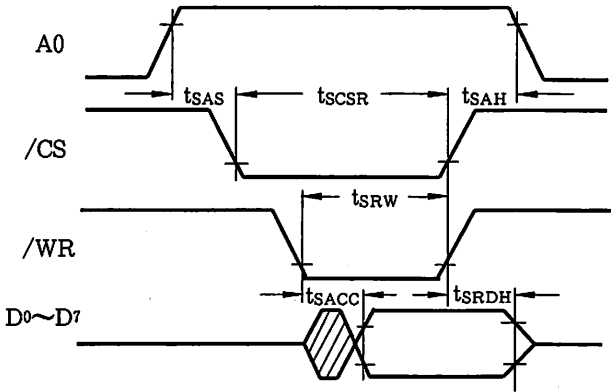


図A-7 SSG部のライトタイミング

(注)

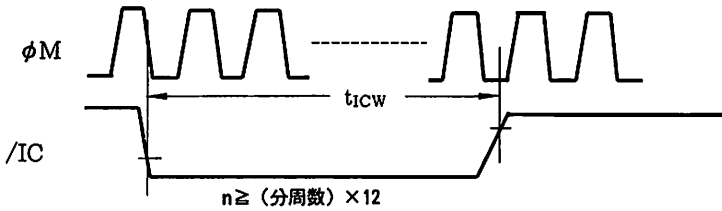
t_{swds} は、/CS、/WRのいずれか遅くLowレベルになる時を基準とする。

t_{scsw} 、 t_{sww} 、 t_{swdh} は/CS、/WRのいずれかがHighレベルになった時を基準とする。



図A-8 SSG部のリードタイミング

(注)
 t_{SACC} は、/CS、/RDの遅くLowレベルになる時間が基準です。
 t_{SCSR} 、 t_{SRW} 、 t_{SRDH} は/CS、/RDのいずれかが、Highレベルになった時を基準とする。



図A-9 リセットパルス

■パッケージ外形図

